

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

IZUMI, Y. et al.

Serial No. 10/087,998

Filed: March 4, 2002

For: UNEVEN PATTERN SENSING DEVICE

Attention: Application Branch

Atty. Dkt. 1035-368

Date: April 18, 2002

Assistant Commissioner for Patents

Washington, D.C. 20231

The attached completes filing of the above-identified patent application:☒ Signed Rule 63 Declaration alone, ☐ Copy of Declaration from prior application alone, OR☐ Signed Declaration plus attached copy of originally filed specification/drawings.☒ **NOTICE TO FILE MISSING PARTS OF APPLICATION FILING DATE GRANTED** form.☒ Record the attached assignment and return to the undersigned.☒ Attached is a Power of Attorney.☒ Priority is hereby claimed under 35 U.S.C. § 119 based on the following foreign applications:

Application Number	Country	Day/Month/Year Filed
2001-063983	JP	07/03/2001
2002-050071	JP	26/02/2002

respectively.

☒ Certified copy(ies) of foreign application(s) is/are attached.☐ Certified copy(ies) filed on _____ in prior application no. _____, filed _____.☐ Applicant claims "small entity" status. ☐ "Small entity" statement attached.☐ Please enter the attached and/or below preliminary amendment prior to calculation of filing fee.

☒ Also attached: ☒ **Information Disclosure Statement**; ☐ **Nucleotide and/or Amino Acid Sequence Submission**; ☐ **Other**:

Fees due are calculated below:

Basic filing fee		\$	740.00
Total Effective claims	25 - 20 = 5	x \$	18.00
Independent claims	1 - 3 = 0	x \$	84.00
If any proper multiple dependent claims now added for first time, add \$280.00 (ignore improper)		\$	0.00
FILING FEE		\$	830.00
Petition is hereby made to extend the current due date so as to cover the filing date of this paper and attachment(s) (\$110.00/1 month; \$400.00/2 months; \$920.00/3 months; \$1440.00/4 months)		\$	0.00
Surcharge (\$130.00) if Declaration or filing fee first now submitted		\$	130.00
English translation of specification and claims (\$130.00)		\$	0.00
FIRST SUBTOTAL		\$	960.00
If "small entity," enter half (½) of subtotal and subtract		-\$	0.00
SECOND SUBTOTAL		\$	960.00
Assignment Recording Fee (\$40.00)		\$	40.00
TOTAL FEE DUE		\$	1,000.00
Check enclosed (Pre-Bill)*		\$	1000.00
Check enclosed (non Pre-Bill)*		\$	
TOTAL FEE ENCLOSED		\$	1000.00

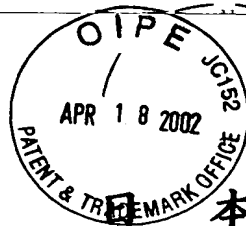
Any future submission requiring an extension of time is hereby stated to include a petition for such time extension. The Commissioner is hereby authorized to charge any deficiency, or credit any overpayment, in the fee(s) filed, or asserted to be filed, or which should have been filed herewith (or with any paper hereafter filed in this application by this firm) to our **Account No. 14-1140**. A duplicate copy of this sheet is attached.

1100 North Glebe Road, 8th Floor
Arlington, Virginia 22201-4714
Telephone: (703) 816-4000
Facsimile: (703) 816-4100
HWB:lsb

NIXON & VANDERHYE P.C.

By Atty: H. Warren Burnam, Jr., Reg. No. 29,366

Signature: _____



44

本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2001年 3月 7日

出 願 番 号

Application Number: 特願2001-063983

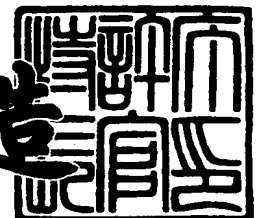
出 願 人
Applicant(s):

シャープ株式会社

2001年12月21日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3111186

【書類名】 特許願

【整理番号】 01J00260

【提出日】 平成13年 3月 7日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06T 1/00

【発明の名称】 凹凸パターン検出素子

【請求項の数】 20

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 和泉 良弘

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 寺沼 修

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特 2 0 0 1 - 0 6 3 9 8 3

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 凹凸パターン検出素子

【特許請求の範囲】

【請求項 1】

基板上に格子状に形成される走査線および信号線と、該走査線および信号線に接続され、上記基板上に格子毎に形成されるスイッチング素子と、該スイッチング素子を覆うように上記基板上に形成される絶縁膜と、該絶縁膜上に形成され、該絶縁膜を貫通して上記スイッチング素子と接続される検出電極と、該検出電極を覆うように上記絶縁膜上に形成される保護膜とを備えた凹凸パターン検出素子において、

上記絶縁膜における上記検出電極の形成面は平坦であることを特徴とする凹凸パターン検出素子。

【請求項 2】

上記絶縁膜は、成膜時に上記検出電極の形成面が平坦となることを特徴とする請求項 1 に記載の凹凸パターン検出素子。

【請求項 3】

上記絶縁膜は、有機物からなることを特徴とする請求項 1 または 2 に記載の凹凸パターン検出素子。

【請求項 4】

上記絶縁膜は、感光性を有することを特徴とする請求項 3 に記載の凹凸パターン検出素子。

【請求項 5】

上記絶縁膜の厚さは、 $1\mu\text{m}$ 以上、かつ、 $5\mu\text{m}$ 以下であることを特徴とする請求項 3 または 4 に記載の凹凸パターン検出素子。

【請求項 6】

上記検出電極は、上記走査線および信号線の少なくともいずれか一方と重なるように配されていることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 7】

上記検出電極は、上記スイッチング素子と重なるように配されていることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 8】

上記スイッチング素子上に、遮光膜が配されていることを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 9】

上記検出電極が遮光性を有することを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 10】

上記絶縁膜が遮光性を有することを特徴とする請求項 1 ないし 9 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 11】

上記検出電極と容量を形成するための補助容量電極を備えていることを特徴とする請求項 1 ないし 10 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 12】

上記検出電極または該検出電極と同電位にある電極を一方の電極とする補助容量を、上記絶縁膜の下層に備えていることを特徴とする請求項 1 ないし 10 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 13】

上記基板は、ガラスからなるガラス基板であることを特徴とする請求項 1 ないし 12 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 14】

上記走査線に駆動信号を入力する駆動回路と、上記信号線から信号を検出するための検出回路とのうち少なくとも一方が、上記ガラス基板上に直接実装されていることを特徴とする請求項 13 に記載の凹凸パターン検出素子。

【請求項 15】

上記走査線に駆動信号を入力する駆動回路と、上記信号線から信号を検出するための検出回路とのうち少なくとも一方が、上記ガラス基板上にモノリシックに形成されていることを特徴とする請求項 13 に記載の凹凸パターン検出素子。

【請求項 1 6】

上記駆動回路および検出回路は、ポリシリコンまたは連続粒界結晶シリコンからなることを特徴とする請求項 1 5 に記載の凹凸パターン検出素子。

【請求項 1 7】

上記保護膜は、比誘電率が 1 0 以上の誘電体膜からなることを特徴とする請求項 1 ないし 1 6 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 1 8】

上記保護膜は、 Ta_2O_5 、 TiO_2 、 $SrTiO_3$ 、 $BaTiO_3$ 、 $Ba_xSr_{1-x}TiO_3$ のいずれかを含むことを特徴とする請求項 1 7 に記載の凹凸パターン検出素子。

【請求項 1 9】

上記保護膜は、フッ素樹脂からなることを特徴とする請求項 1 ないし 1 6 のいずれか 1 項に記載の凹凸パターン検出素子。

【請求項 2 0】

上記保護膜は、乾式転写法により形成されることを特徴とする請求項 1 9 に記載の凹凸パターン検出素子。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、指紋等の凹凸パターンを検出する凹凸パターン検出素子に関するものである。

【0 0 0 2】

【従来の技術】

近年、機密性の高い情報を扱うことの多い金融機関や警察等の公共機関では、指紋認証機能を内蔵したパーソナルコンピュータの利用が進んでいる。また、携帯電話におけるインターネット接続人口の増加や I T (Information Technology) 産業の発展に伴い、株式取引等の電子商取引が普及しつつあり、パーソナルコンピュータだけでなく、他の携帯端末や携帯電話等にも指紋認証機能が搭載されつつある。

【0003】

従来、このような指紋認証機能を有するデバイスとしては、指紋の凹凸による光の明暗差を電荷情報に変換して検出する光学方式の指紋検出素子や、指紋の凹凸により発生する静電容量の差を電氣的に検出する静電容量方式の指紋検出素子が開発されている。

【0004】

光学方式の指紋検出素子および静電容量方式の指紋検出素子はともに、各画素にスイッチング素子が備えられたアクティブ素子アレイを用いて各画素の電荷情報を検出することにより、指紋の凹凸パターンの2次元分布情報を読み出すものが一般的である。

【0005】

ところで、光学方式の指紋検出素子の場合、LED等の光源が必要となる。このため、指紋検出素子を備えた検出器全体を小型化することができない。また、フォトダイオードやフォトトランジスタ等の光検出素子をアクティブ素子アレイ上に組み込む必要があるため、指紋検出素子の構造が複雑となる。

【0006】

これに対して、静電容量方式の指紋検出素子の場合、その大きさ、製造の容易性、製造コストの面等で上記光学方式の指紋検出素子よりも優れている。このため、現状では、静電容量方式の指紋検出素子の方が、光学方式の指紋検出素子よりも広く普及している。

【0007】

例えば、米国特許第5325442号に記載の静電容量方式の指紋検出素子の断面図を図12に示す。また、図13は、この指紋検出素子の平面図である。図12に示すように、指紋検出素子は、信号検出回路等が形成されたチップ状のシリコン(Si)基板101上の層間絶縁膜102上に、検出電極103…が2次元アレイ状(図13参照)に設けられており、これらの検出電極103…を覆うように、保護膜104が設けられている。また、この指紋検出素子は、標準的なCMOSプロセスを用いて製造される。

【0008】

このような、CMOS型指紋検出素子、即ち、シリコン基板101上にMOSトランジスタが形成された構造の指紋検出素子の場合、保護膜104の表面には、保護膜104下における、層間絶縁膜102、図示しない金属配線、検出電極103等の電気部材の段差形状を反映して、段差が存在する。この段差により、指紋採取時にセンサ部の表面に指先の表面を接触させた場合、保護膜104が破壊され、素子の劣化を招来しやすくなる。

【0009】

なお、図12では、検出電極103下の層間絶縁膜102が平坦であるかのように記載されているが、本図は模式図であり、シリコン基板101は便宜上平坦に記載されているだけである。実際には、シリコン基板101上のMOSトランジスタや金属配線の段差に応じて、層間絶縁膜102表面には相応の段差が生じている。

【0010】

また、一般に、シリコン基板を用いたMOSトランジスタの場合、層間絶縁膜には SiO_2 薄膜を用いることが多い。しかしながら、 SiO_2 からなる層間絶縁膜において、その表面の段差を平坦化することは困難である。

【0011】

特開2000-194825号公報には、検出電極上の保護膜を利用して、表面の平坦化を図る指紋センサの構造が記載されている。保護膜としては SiN_x 膜を用い、保護膜表面を平坦化する。保護膜表面を平坦化する方法としては、レジストを塗布した後にエッチバックを行う方法や、化学機械研磨 (Chemical Mechanical Polishing: CMP) 法を用いて平坦化する方法が採用される。また、表面の保護膜として、スピノングラス (Spin On Glass: SOG) 材料を塗布することにより、保護膜表面を平坦化する方法を用いることもできる。これにより、表面の平坦化を図ることができ、指紋センサの信頼性の向上を図ることができる。

【0012】

【発明が解決しようとする課題】

しかしながら、上記特開平2000-194825号公報に記載の構造では、

表面の保護膜として SiN_x 膜を用いており、レジストを塗布した後にエッチバックを行う工程や、または、CMP工程が必要である。このため、製造工程の増加や歩留りの低下を招来し、これにより、指紋センサの製造コストが増大する。元来、シリコン基板は高価なため、シリコン基板を用いたMOSトランジスタアレイは、製造コストが高くなる傾向にあり、そこで、製造コストダウンが要求されている。特に、民生用の安価な携帯情報端末や、携帯電話に指紋検出素子を搭載する場合、上記のように製造工程の増加によって指紋検出素子の製造コストが増大することは、致命的な欠点となる。

【0013】

また、表面の保護膜として、SOG材料を用いる場合、保護膜として使用できる材料が限定される。例えば、一般に普及しているSOG材料は、 SiO_2 等の数種類の材料に限られる。従って、指紋検出素子の検出感度を向上させるための優れた物性値を備えた保護膜や、耐汚染性を備えた保護膜等、付加価値を有する他の機能性保護膜を幅広く利用することができない。

【0014】

本発明は、上記従来の問題点に鑑みてなされたものであり、その目的は、製造工程の増加や保護膜の材料が限定されることを伴うことなく、表面を平坦化することができる凹凸パターン検出素子を提供することにある。

【0015】

【課題を解決するための手段】

本発明の凹凸パターン検出素子は、上記の課題を解決するために、基板上に、格子状に形成された走査線および信号線と、該走査線および信号線に接続され、上記基板上に格子毎に形成されたスイッチング素子と、該スイッチング素子を覆うように上記基板上に形成される絶縁膜と、該絶縁膜上に形成され、該絶縁膜を貫通して上記スイッチング素子と接続される検出電極と、該検出電極を覆うように上記絶縁膜上に形成されている保護膜とを備えた凹凸パターン検出素子において、上記絶縁膜における上記検出電極の形成面は平坦であることを特徴としている。

【0016】

上記の構成によれば、絶縁膜において、検出電極の形成面は平坦である。これにより、絶縁膜上に形成される保護膜もまた平坦に成膜することができる。従って、保護膜において、レジストを塗布してエッチバックを行う工程や、あるいは、CMP工程等の平坦化工程が必要ないことにより、保護膜の材料が制限されることがない。この結果、凹凸パターン検出素子の検出感度を向上させるための物性値を備えた材料や耐汚染性を備えた材料等付加価値を有する他の機能性保護膜を保護膜として幅広く利用できる。

【 0 0 1 7 】

上記凹凸パターン検出素子は、絶縁膜は、成膜時に上記検出電極の形成面が平坦となることが好ましい。

【 0 0 1 8 】

上記の構成によれば、保護膜だけでなく、絶縁膜においても、表面段差を平坦化する工程、例えば、レジストを塗布してエッチバックを行う工程や、あるいは、CMP工程は必要ない。従って、凹凸パターン検出素子の製造工程の簡略化を図ることができる。

【 0 0 1 9 】

上記凹凸パターン検出素子は、絶縁膜が、有機物からなることが好ましい。

【 0 0 2 0 】

上記の構成によれば、絶縁膜が、例えば、アクリル樹脂等の有機物からなることにより、スピナー等を用いた塗布法により成膜することができる。これにより、表面に段差がなく、平坦な絶縁膜を成膜することができる。即ち、絶縁膜下の、例えばスイッチング素子、データ電極、ゲート電極等の形状を反映した表面段差を、絶縁膜の成膜後に平坦化する工程、例えば、レジストを塗布してエッチバックを行う工程や、あるいは、CMP (Chemical Mechanical Polishing) 工程は必要ない。

【 0 0 2 1 】

従って、例えば、絶縁膜上に検出電極を覆うように保護膜を設ける場合、この保護膜の材料が平坦化工程を行うことができる材料に制限されることはない。この結果、平坦化工程等の製造工程の増加や保護膜の材料が限定されることを伴う

ことなく、凹凸パターン検出素子の表面を平坦化することができる。

【 0 0 2 2 】

上記凹凸パターン検出素子は、絶縁膜が、感光性を有することが好ましい。

【 0 0 2 3 】

上記の構成によれば、フォトリソグラフィー法により、絶縁膜に検出電極を貫通させるための開口部（コンタクトホール）を簡易に形成することができる。

【 0 0 2 4 】

上記凹凸パターン検出素子は、絶縁膜の厚さが、 $1\ \mu\text{m}$ 以上、かつ、 $5\ \mu\text{m}$ 以下であることが好ましい。

【 0 0 2 5 】

上記の構成によれば、絶縁膜の厚さを、その下に配されているスイッチング素子、ゲート電極、データ電極等の厚さより厚い $1\ \mu\text{m}$ 以上とすることにより、絶縁膜の表面段差をなくし、凹凸パターン検出素子の表面を平坦にすることができる。

【 0 0 2 6 】

また、絶縁膜の厚さを $5\ \mu\text{m}$ 以下とすることにより、例えば、 $300\text{mm} \times 300\text{mm} \sim 1000\text{mm} \times 1000\text{mm}$ 程度の大面積基板に対しても、均一な厚さの絶縁膜を形成することができる。これにより、大面積基板から凹凸パターン検出素子を多面取りしても、凹凸パターン検出素子の信頼性の低下を防止することができる。

【 0 0 2 7 】

上記凹凸パターン検出素子は、検出電極が、走査線および信号線の少なくともいずれか一方と重なるように配されていることが好ましい。

【 0 0 2 8 】

上記の構成によれば、例えば、検出電極が走査線にも信号線にも重ならないように配されている場合と比較すると、検出電極を大きくすることができる。このため、凹凸パターン検出素子の基板上における検出電極の充填率（1検出画素当りに検出電極が占める面積の割合）も増大する。

【 0 0 2 9 】

例えば、絶縁膜上に検出電極を覆うように保護膜を設ける場合、通常、保護膜の容量値が大きくなるほど、凹凸パターン検出素子の感度は高くなる。また、検出電極の大きさ（面積）とその上に配されている保護膜の容量値とは比例する。従って、保護膜の容量値が大きいほど、凹凸パターン検出素子の感度は高くなる。

【0030】

このように、検出電極の充填率が増大することにより、保護膜の容量値を大きくすることができ、このため、高感度の凹凸パターン検出素子を提供することができる。

【0031】

上記凹凸パターン検出素子は、検出電極が、スイッチング素子と重なるように配されていることが好ましい。

【0032】

上記の構成によれば、検出電極の充填率の増大を図ることができ、さらに、高感度の凹凸パターン検出素子を提供することができる。また、検出電極がその下層に配されているスイッチング素子の電氣的シールドの役割を果たす。このため、スイッチング素子の誤動作を防止することができる。

【0033】

上記凹凸パターン検出素子は、スイッチング素子上に、遮光膜が配されていることが好ましい。

【0034】

上記の構成によれば、凹凸パターン検出素子の上面からスイッチング素子に外部からの光が入射することを防止することができる。従って、光の入射によるスイッチング素子の誤動作を防止することができる。

【0035】

また、遮光膜が配されていないとすると、例えば、スイッチング素子が逆スタガ構造の薄膜トランジスタの場合、チャネル層に光が入射したとき、チャネル層内に不要なキャリアが誘起されることとなり、ON/OFF特性が劣化する。しかしながら、薄膜トランジスタの上層に遮光膜を形成することにより、このよう

なON/OFF特性の劣化を防止することができる。

【0036】

上記凹凸パターン検出素子は、検出電極が遮光性を有することが好ましい。

【0037】

上記の構成によれば、スイッチング素子への周囲の光の影響を低減することができる。従って、スイッチング素子の誤動作や、ON/OFF特性の劣化を防止することができる。また、検出電極が上記遮光膜の機能を兼ね備えることによって、別途遮光膜を設ける必要がなく、凹凸パターン検出素子の構造の簡略化を図ることができる。

【0038】

上記凹凸パターン検出素子は、絶縁膜が遮光性を有することが好ましい。

【0039】

上記の構成によれば、例えば、カーボン系黒色顔料を分散させて、絶縁膜に遮光性をもたせることにより、スイッチング素子への周囲の光の影響を低減することができる。従って、スイッチング素子の誤動作や、ON/OFF特性の劣化を防止することができる。また、絶縁膜が上記遮光膜の機能を兼ね備えることによって、別途遮光膜を設ける必要がなく、凹凸パターン検出素子の構造の簡略化を図ることができる。

【0040】

上記凹凸パターン検出素子は、検出電極と容量を形成するための補助容量電極を備えていることが好ましい。

【0041】

上記の構成によれば、検出電極と補助容量電極との間に電荷を保持することができる容量を設けることができる。これにより、補助容量電極をある一定の電位に固定することにより、容量を定常状態に安定させることができる。従って、凹凸パターン検出素子における凹凸パターンの検出動作の安定化を図ることができる。

【0042】

上記凹凸パターン検出素子は、検出電極または該検出電極と同電位にある電極

を一方の電極とする補助容量を、絶縁膜の下層に備えていることが好ましい。

【 0 0 4 3 】

上記の構成によれば、検出電極と補助容量電極との間に電荷を保持することができる補助容量を設けることができる。従って、凹凸パターン検出素子における凹凸パターンの検出動作の安定化を図ることができる。

【 0 0 4 4 】

上記凹凸パターン検出素子は、基板が、ガラスからなるガラス基板であることが好ましい。

【 0 0 4 5 】

上記の構成によれば、凹凸パターン検出素子の基板として安価なガラス基板を用いることができる。また、ガラス基板は、大面積基板を容易に作製することができ、このため、1枚の大面積基板から多数の凹凸パターン検出素子を形成することができる。従って、安価な凹凸パターン検出素子を提供することができる。

【 0 0 4 6 】

上記凹凸パターン検出素子は、走査線に駆動信号を入力する駆動回路と、信号線から信号を検出するための検出回路とのうち少なくとも一方が、ガラス基板上に直接実装されていることが好ましい。

【 0 0 4 7 】

上記の構成によれば、ガラス基板上に直接マウントするCOG (Chip On Glass) 実装方式を用いることにより、例えば、駆動回路LSIや検出回路LSIを別途準備してキャリアテープに一旦マウントしてから接続するTAB (Tape Automated Bonding) 実装方式と比較すると、製造工程の簡略化および周辺回路との接続の簡素化を図ることができる。

【 0 0 4 8 】

上記凹凸パターン検出素子は、走査線に駆動信号を入力する駆動回路と、信号線から信号を検出するための検出回路とのうち少なくとも一方が、ガラス基板上にモノリシックに形成されていることが好ましい。

【 0 0 4 9 】

上記の構成によれば、駆動回路や検出回路を、凹凸パターン検出素子における

スイッチング素子と同一プロセスで形成することができる。これにより、例えば、駆動回路LSIや検出回路LSIを後から別途設ける必要がなくなり、製造コストの削減および実装工程の簡略化を図ることができる。

【0050】

また、駆動回路や検出回路を、ガラス基板上における検出面素配列領域の周辺部の僅かな領域に作り込むことができる。従って、TAB実装方式や、COG実装方式により駆動回路LSIや検出回路LSIを接続する場合と比較すると、ガラス基板の小額縁化を図ることができ、これにより、凹凸パターン検出素子の小型化を図ることができる。

【0051】

上記凹凸パターン検出素子は、駆動回路および検出回路は、ポリシリコンまたは連続粒界結晶シリコンからなることが好ましい。

【0052】

上記の構成によれば、600℃以下の低いプロセス温度で、ガラス基板上に駆動回路および検出回路を形成することができる。

【0053】

上記凹凸パターン検出素子は、保護膜は、比誘電率が10以上の誘電体膜からなることが好ましく、具体的には、保護膜が、 Ta_2O_5 、 TiO_2 、 $SrTiO_3$ 、 $BaTiO_3$ 、 $Ba_xSr_{1-x}TiO_3$ のいずれかを含むことが好ましい。

【0054】

上記の構成によれば、保護膜が高い比誘電率を有することにより、保護膜の容量値を大きくすることができる。従って、高感度の凹凸パターン検出素子を提供することができる。

【0055】

上記凹凸パターン検出素子は、保護膜が、フッ素樹脂からなることが好ましい。

【0056】

上記の構成によれば、凹凸パターン検出素子の表面となる保護膜の耐汚染性が

向上し、凹凸パターン検出素子の信頼性の向上を図ることができる。

【0057】

上記凹凸パターン検出素子は、保護膜が、乾式転写法により形成されることが好ましい。

【0058】

上記の構成によれば、保護膜としてのフッ素樹脂を簡便に形成することができる。

【0059】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について図1ないし図8に基づいて説明すれば、以下の通りである。

【0060】

図1は、本発明の実施の一形態に係る凹凸パターン検出素子としての指紋センサの要部の構造を示す断面図である。指紋センサにおいて指紋を検出することができる領域、即ち、後述する検出電極11が2次元状に配されている領域（図5参照、検出画素配列領域18）における検出画素の密度は、200～600ppi、また、検出画素配列領域18のサイズは、10mm×10mm～30mm×30mmに設計することが好ましい。

【0061】

図1に示すように、凹凸パターン検出素子は、アクティブマトリクス基板15上に、保護膜としての上層絶縁膜16が形成されている。上層絶縁膜16は、例えば、 SiN_x や、 SiO_2 等の無機材料からなる絶縁膜であっても、アクリル樹脂やポリイミド樹脂等の有機材料からなる絶縁膜であってもよい。

【0062】

以下に、アクティブマトリクス基板15について詳しく説明する。

【0063】

アクティブマトリクス基板15は、絶縁性基板（基板）1、ゲート電極2、データ電極3、ゲート絶縁膜4、チャネル層5、コンタクト層6、接続電極7、絶

縁保護膜 8、層間絶縁膜（絶縁膜）10 および検出電極 11 を有している。

【0064】

このアクティブマトリクス基板 15 は、図 2 に示すように、絶縁性基板 1 上において、格子状に配設された信号線であるデータ電極 3・3 と走査線であるゲート電極 2・2 とに囲まれた検出画素領域には検出電極 11 が形成され、また、データ電極 3 およびゲート電極 2 の交差部の近傍にはスイッチング素子としての薄膜トランジスタ（TFT: Thin Film Transistor、以下 TFT と称する）9 が形成されている。

【0065】

また、TFT 9 は、図 1 に示すように、ゲート電極 2、ゲート絶縁膜 4、データ電極 3、接続電極 7、チャネル層 5、コンタクト層 6 等で以て構成されている。

【0066】

絶縁性基板 1 は支持基板であり、絶縁性基板 1 としては、例えば、無アルカリガラス基板（例えば、コーニング社製 # 1737 等）を用いることができる。

【0067】

TFT 9 のソース・ドレインは、各々データ電極 3 と接続電極 7 とに接続されており、データ電極 3 はそのソース電極、接続電極 7 はそのドレイン電極である。つまり、データ電極 3 は、信号線としての直線部分と、TFT 9 を構成するための延長部分（ソース電極）とを備えている。また、ゲート電極 2 は、データ電極 3 とともに電極配線であり、走査線としての直線部分と、TFT 9 を構成するための延長部分とを備えている。ゲート電極 2、データ電極 3 および接続電極 7 は、Ta, Al, ITO (Indium-Tin-Oxide) 等の導電性材料からなる。

【0068】

ゲート絶縁膜 4 は、 SiN_x や、 SiO_x 等からなっている。ゲート絶縁膜 4 は、ゲート電極 2 を覆うように設けられている。なお、ゲート絶縁膜 4 としては、 SiN_x や、 SiO_x に限らず、ゲート電極 2 を陽極酸化した陽極酸化膜を併用することもできる。

【0069】

また、チャネル層（ i 層）5はTFT9のチャネル部であり、データ電極3と接続電極7とを結ぶ電流の通路である。コンタクト層（ n^+ 層）6はデータ電極3と接続電極7とのコンタクトを図る。チャネル層5およびコンタクト層6は、アモルファスシリコン（以下、 $a-Si$ と称する）またはポリシリコン（以下、 $p-Si$ と称する）からなる。

【0070】

絶縁保護膜8は、 SiN_x からなり、データ電極3及び接続電極7上、即ち、絶縁性基板1上に、ほぼ全面（ほぼ全領域）にわたって形成されている。これにより、接続電極7とデータ電極3とを保護するとともに、電氣的な絶縁分離を図っている。また、絶縁保護膜8は、その所定位置に接続電極7を露出するコンタクトホール12を有している。

【0071】

検出電極11は、ITO等の導電性材料からなる。検出電極11はコンタクトホール12の壁面を覆うようにして形成された、層間絶縁膜10および絶縁保護膜8を貫通する接続部11aを有しており、この接続部11aで接続電極7と接続している。また、検出電極11は、データ電極3上及び接続電極7上に積層されており、TFT9を覆うように配されている。

【0072】

層間絶縁膜10は、感光性を有するアクリル樹脂やポリイミド樹脂等の有機物からなり、TFT9の電氣的な絶縁分離を図っている。層間絶縁膜10には、コンタクトホール12が貫通し（開口部を有し）ており、検出電極11は接続電極7に接続されている。

【0073】

絶縁性基板1上には、ゲート電極2が設けられている。ゲート電極2の上方には、ゲート絶縁膜4を介して、チャネル層5およびコンタクト層6がこの順に形成されている。コンタクト層6上には、データ電極3と接続電極7とが形成されている。また、接続電極7とデータ電極3の上方には絶縁保護膜8が配されている。

【0074】

絶縁保護膜 8 の上方には、層間絶縁膜 10 が設けられている。層間絶縁膜 10 の上層、すなわちアクティブマトリクス基板 15 の最上層には検出電極 11 が設けられている。検出電極 11 と T F T 9 とは接続電極 7 を介して接続されている。

【0075】

以上のように、指紋センサの絶縁性基板 1 はガラス基板が用いられている。ガラス基板は、従来から用いられているシリコン基板と比較すると安価であり、従って、安価な凹凸パターン検出素子を提供することができる。

【0076】

なお、絶縁性基板 1 としては、ガラス基板に限られるものではなく、セラミックス基板やプラスチック基板等を用いてもかまわない。これらの基板は、S i 基板と比較すると、大面積基板を容易に作製することができる。このため、1 枚の大面積基板から多数の凹凸パターン検出素子を形成することができる。従って、安価な指紋センサを提供することができる。

【0077】

また、プラスチック基板は軽く、その厚さは薄いため、指紋センサの軽量化・小型化を図ることができる。さらに、プラスチック基板は割れ難いため、信頼性の高い指紋センサを提供することができる。

【0078】

なお、スイッチング素子としては、T F T 9 に限られるものではなく、M I M 等のダイオード等を用いてもかまわない。

【0079】

以下、指紋センサの動作原理について、図 3 に基づいて説明する。

【0080】

指先の表面を指紋センサの表面に接触させると指と検出電極 11 との間には、上層絶縁膜 16 の容量 C_y と、指の表面と指紋センサとの間の空気層の容量 C_z とが形成される。これらの容量 $C_y \cdot C_z$ は、指の凹凸情報を反映しているので、これらの容量 $C_y \cdot C_z$ を検出することにより、指紋画像を得ることができる。また、指と検出電極 11 との間の容量 $C_y \cdot C_z$ 等の検出は以下のようにして

行う。

【0081】

まず、ある一本のゲート電極2への入力信号によってTFT9をオフ状態にして、検出電極11や接続電極7に発生する寄生容量Cxをある電位にプリチャージする。

【0082】

次に、ゲート電極2への入力信号によってTFT9をオン状態にすることにより、容量Cy・Czとの間で電荷を分配させる。このときのデータ電極3の電位変化を検出することにより、容量Czが求まる。

【0083】

この操作を全てのゲート電極2について行い、指と指紋センサとの間の静電容量Czの分布、即ち、指紋画像を得る。

【0084】

なお、このデータ電極3には、これらの容量を読み出すために、オペアンプ等の信号読み出し回路（検出回路）が設けられている。この信号読み出し回路により、指紋の凹凸による静電容量の差を電気的に検出することができ、指紋の凹凸パターンがデータとして取り出される。

【0085】

ここで、指紋センサにより検出される容量値のうち、指紋の凹凸による信号成分の割合について、図3に基づいて説明する。指紋採取時にデータ電極3より検出される容量値Coutは、次式（1）

$$C_{out} = C_x + C_y C_z / (C_y + C_z) \quad \dots (1)$$

で表される。ここで、容量値Coutが最大値をとるのはCz→∞の（指の表面が上層絶縁膜16に接している）ときであり、このときの容量値Cout(max)は、次式（2）

$$C_{out(max)} = C_x + C_y \quad \dots (2)$$

で表される。また、容量値Coutが最小値をとるのはCz→0の（指の表面が上層絶縁膜16上にない）ときであり、このときの容量値Cout(min)は、次式（3）

$$C_{out(min)} = C_x \quad \dots (3)$$

で表される。

【0086】

従って、検出される容量値のうち、指紋の凹凸による信号成分の割合は、次式(4)

$$(C_{out(max)} - C_{out(min)}) / C_{out(max)} = C_y / (C_x + C_y) \quad \dots (4)$$

で表される。即ち、 $C_y / (C_x + C_y)$ 比が大きいほど、指紋センサの感度は高くなる。従って、高感度の指紋センサを得るには、検出電極11や接続電極7に発生する寄生容量 C_x はできるだけ小さくなるように、また、上層絶縁膜16の容量 C_y はできるだけ大きくなるように素子設計を行えばよい。

【0087】

図1に示す構成の場合、TFT9が、接続電極7や検出電極11と重なる領域は僅かであり、上層絶縁膜16の容量 C_y と比較すると、検出電極11や接続電極7に発生する寄生容量 C_x は十分小さく、高感度の指紋センサを提供することができる。

【0088】

以下に、凹凸パターン検出素子の製造工程の一例について説明する。

【0089】

まず、絶縁性基板1上に、TaやAlやITO等の導電膜をスパッタ蒸着により厚さ100～300nmに成膜した後、所望の形状にパターニングすることにより、ゲート電極2を形成する。

【0090】

そして、このゲート電極2を覆うようにして、絶縁性基板1の略全面に SiN_x や SiO_x 等からなるゲート絶縁膜4をCVD (Chemical Vapor Deposition) 法により厚さ約200nmに成膜する。

【0091】

また、ゲート絶縁膜4を介して、ゲート電極2の上方にチャネル層5が配されるように、CVD法により、a-Siを厚さ約100nmに成膜した後、所望の形状にパターニングすることにより、チャネル層5を形成する。

【0092】

チャネル層5の上層にコンタクト層6が配されるように、CVD法によりa-Siを厚さ約40nmに成膜した後、所望の形状にパターニングすることにより、コンタクト層6を形成する。

【0093】

さらに、コンタクト層6上に、TaやAlやITO等の導電膜をスパッタ蒸着により厚さ約200nmに成膜した後、所望の形状にパターニングすることにより、データ電極3及び接続電極7を形成する。

【0094】

このようにしてTFT9を形成した絶縁性基板1の略全面を覆うようにSiN_x膜をCVD法で厚さ約200nmに成膜した後、コンタクトホール12となる接続電極7上の所定の部分に形成されたSiN_x膜を除去するようにパターニングすることにより、絶縁保護膜8を形成する。

【0095】

その後、上記絶縁保護膜8上の略全面を覆うように、感光性を有するアクリル樹脂等を、スピナー等の塗布装置を用いて厚さ約3μmに塗布して層間絶縁膜10を成膜する。そして、所定の遮光パターンを有するフォトマスクを、絶縁保護膜8におけるコンタクトホール12の位置と層間絶縁膜10を貫通するコンタクトホール12となる部分の位置とを合わせるように用いて、層間絶縁膜10に露光・現像処理（フォトリソグラフィ）を施す。こうして、層間絶縁膜10を貫通するコンタクトホール12を形成する。

【0096】

層間絶縁膜10上に、ITO等の導電膜をスパッタ蒸着法にて厚さ約100nmに成膜し、所望の形状にパターニングして検出電極11を形成する。この時、絶縁保護膜8及び層間絶縁膜10に設けたコンタクトホール12に検出電極11を貫通させて、検出電極11と接続電極7とを電氣的に導通させる。

【0097】

そして、上記のように形成されたアクティブマトリクス基板15の略全面を覆うように、Ta₂O₅を厚さ0.2～5μmに成膜し、上層絶縁膜16を形成す

る。そして、絶縁性基板 1 上に、後述する駆動回路 13 や検出回路 14 (図 5 参照) を実装する。

【0098】

このように、層間絶縁膜 10 は感光性を有しているため、フォトリソグラフィ法により、簡易にコンタクトホール 12 を形成することができる。また、層間絶縁膜 10 はアクリル樹脂等の有機物からなる有機膜であり、スピナー等を用いた塗布法により成膜される。これにより、表面に段差がなく、平坦な層間絶縁膜 10 を成膜することができる。即ち、層間絶縁膜 10 下の、例えば TFT9、データ電極 3、ゲート電極 2 等の形状を反映した表面段差を、層間絶縁膜 10 の成膜後に平坦化する工程、例えば、レジストを塗布してエッチバックを行う工程や、あるいは、CMP (Chemical Mechanical Polishing) 工程は必要ない。

【0099】

また、層間絶縁膜 10 において検出画素側 (指紋と接する側) の面は平坦であるため、表層、即ち、上層絶縁膜 16 の表面段差としてあらわれるのは、層間絶縁膜 10 上の検出電極 11 の厚さおよびコンタクトホール 12 の凹形状のみである。

【0100】

しかしながら、検出電極 11 の厚さは約 100 nm と薄く、また、検出電極 11 は上層絶縁膜 16 により覆われているため、検出電極 11 の厚さに起因する上層絶縁膜 16 の表面段差のテーパは緩やかになる。このため、検出電極 11 の厚さに起因する上層絶縁膜 16 の表面段差は、無視できる程度のものとなる。

【0101】

一方、コンタクトホール 12 の凹形状に起因する表面段差の深さは、層間絶縁膜 10 の厚さに等しく、1~5 μ m であり、無視できる程度のものではない。

【0102】

ここで、図 4 に基づいて、凹形状の表面段差について説明する。図 4 (a) は微細な凸段差がある場合の説明図であり、図 4 (b) は微細な凹段差がある場合の説明図である。

【0103】

図 4 (a) に示すように、微細な凸段差のある表面を、指等の摩擦物体が移動する場合、凸段差が微細であっても、摩擦物体は凸段差に引っかかりやすく、このため、その凸段差は破壊されやすい。一方、図 4 (b) に示すように、微細な凹段差のある表面を、指等の摩擦物体が移動する場合、摩擦物体と比較して、表面における凹段差の大きさが微細であれば、摩擦物体は凸段差に引っかかりにくく、凹段差は破壊されにくい。

【 0 1 0 4 】

このように、コンタクトホール 1 2 の凹形状に起因する表面段差は、 $1 \sim 5 \mu\text{m}$ であり、無視できる程度の深さではないが、その形状は凹形状である。検出する指紋パターンの大きさと比較すると、表面における凹形状の大きさは微細なものであるため、コンタクトホール 1 2 の凹形状に起因する表面段差は、無視できる程度のものとなる。

【 0 1 0 5 】

従って、上層絶縁膜 1 6 の表面段差を平坦化する工程、例えば、レジストを塗布してエッチバックを行う工程や、あるいは、CMP 工程は必要ない。

【 0 1 0 6 】

このように、層間絶縁膜 1 0 は、成膜時にその表面（検出電極 1 1 の形成面）が平坦となることにより、層間絶縁膜 1 0 において平坦化処理を必要としない。また、層間絶縁膜 1 0 の表面が平坦であることにより上層絶縁膜 1 6 も略平坦に成膜することができ、上層絶縁膜 1 6 においても平坦化処理は必要ない。これにより、指紋センサの製造工程の簡略化を図ることができる。

【 0 1 0 7 】

また、このように、レジストを塗布してエッチバックを行う工程や、あるいは、CMP 工程等の平坦化工程が必要ないことにより、上層絶縁膜 1 6 の材料が制限されることがない。これにより、上層絶縁膜 1 6 に、指紋センサの検出感度を向上させるための物性値を備えた材料や耐汚染性を備えた材料等付加価値を有する他の機能性保護膜を上層絶縁膜 1 6 として幅広く利用できる。

【 0 1 0 8 】

ここで、上層絶縁膜 1 6 の材料を Ta_2O_5 とした場合と、従来のように Si

N_X とした場合とを比較する。 Ta_2O_5 の比誘電率は約 24 である。一方、 SiN_X の比誘電率は約 7.5 である。上層絶縁膜 16 の容量 C_y は、その比誘電率に比例する。従って、上層絶縁膜 16 として Ta_2O_5 膜を用いることにより、 SiN_X 膜を用いる場合と比較すると、その容量 C_y を 3.2 倍とすることができる。これにより、高感度の指紋センサを提供することができる。

【0109】

なお、上層絶縁膜 16 の材料としては、 Ta の酸化物である Ta_2O_5 に限定されるものではなく、 200°C 以下の低温スパッタリング法で得られるアモルファス膜においても 10 以上の比誘電率を有する高誘電体膜を形成できる材料、例えば、 TiO_2 、 $SrTiO_3$ 、 $BaTiO_3$ 、 $Ba_xSr_{1-x}TiO_3$ 等を用いてもかまわない。これにより、容易に指紋センサの感度の向上を図ることができる。

【0110】

また、例えば、上層絶縁膜 16 としてフッ素系樹脂膜を用いてもかまわない。フッ素系樹脂膜は、塗布法によって形成できるが、ラミネート（乾式転写）法でも形成することができる。例えば、ラミネート法を用いてフッ素樹脂からなる上層絶縁膜 16 を形成する工程を、図 7 に基づいて説明する。

【0111】

まず、PET（ポリエチレンテレフタレート）シート等の支持フィルム 70 上に、フッ素系樹脂シート 71 を、厚さ $2 \sim 5 \mu\text{m}$ に形成する（図 7（a））。そして、フッ素系樹脂シート 71 の表面に厚さ $1 \mu\text{m}$ 程度の接着層を塗布する。

【0112】

次に、その接着層が塗布されたフッ素系樹脂シート 71 の表面と、アクティブマトリクス基板 15 における検出電極 11 が露出している面とが接するように、熱ラミネートする（図 7（b））。その後、支持フィルム 70 を剥離して（図 7（c））、除去する（図 7（d））ことにより、アクティブマトリクス基板 15 上に上層絶縁膜 16 が形成される。

【0113】

上層絶縁膜 16 としてフッ素系樹脂膜を用いることにより、指紋センサの表面

層はフッ素樹脂からなることとなる。これにより、指紋センサ表面の耐汚染性が向上し、指紋センサの信頼性の向上を図ることができる。

【0114】

なお、上層絶縁膜16の材料としては、上記フッ素樹脂に限定されるものではなく、シリコン系樹脂等の撥水性樹脂材料を用いてもかまわない。

【0115】

また、上層絶縁膜16は、フッ素樹脂からなる単層膜に限られるものではなく、 SiN_x や SiO_x 等他の絶縁性材料との積層膜であってもかまわない。

【0116】

以上のように、層間絶縁膜10において検出画素側の面は平坦であるため、上層絶縁膜16の平坦化処理を必要としない。これにより、上層絶縁膜16において、レジストを塗布してエッチバックを行う工程や、あるいは、CMP工程等の平坦化工程が必要ない。従って、上層絶縁膜16の材料が制限されることがない。この結果、製造工程の増加を伴うことなく、指紋センサの表面を平坦化することができる。

【0117】

なお、このような上層絶縁膜16は、従来から用いられているCMOSプロセスによって形成される指紋センサにも適用できる。

【0118】

なお、本実施の形態では上述したように、スイッチング素子として a-Si を用いたTFT9を用いたが、これに限らず、 p-Si （ポリシリコン）を用いてもよい。また、データ電極3及び接続電極7がゲート絶縁膜4を介してゲート電極2より上方にある逆スタガ構造を採用したが、スタガ構造にしてもよい。また、アクティブマトリクス基板15として検出電極11がTFT9の上方にオーバーラップする、いわゆる屋根型構造（マッシュルーム電極構造）を採用しているが、非屋根型構造を採用してもかまわない。

【0119】

また、層間絶縁膜10は、成膜工程やパターニング工程が簡略な感光性を有する樹脂を用いて形成しているが、エッチングによってコンタクトホール12を形

成することができる材料であれば、感光性を有さない樹脂、例えば、非感光性のポリイミド樹脂やBCB (Benzocyclobutene) 樹脂等を用いて形成してもかまわない。

【0120】

さらに、層間絶縁膜10の厚さは、1 μ m以上、かつ、5 μ m以下とするのが好ましい。層間絶縁膜10の厚さを、その下に配されているTFT9、ゲート電極2、データ電極3等の厚さより厚い1 μ m以上とし、層間絶縁膜10を塗布形成することにより、層間絶縁膜10の表面段差をなくし、表面を平坦にすることができる。また、層間絶縁膜10の厚さを5 μ m以下とすることにより、300 mm \times 300 mm \sim 1000 mm \times 1000 mm程度の大面積基板に対しても、均一に樹脂を塗布して層間絶縁膜10を形成することができる。これにより、大面積基板から凹凸パターン検出素子を多面取りしても、信頼性が低下することはない。

【0121】

ところで、指紋センサを動作させるためには、図5に示すように、ゲート電極2に駆動信号を入力するための駆動回路13、および、データ電極3からの信号を検出するための検出回路14（例えばアンプ回路）を設ける必要がある。絶縁性基板1がガラス基板であり、TFT9がa-Siを用いて形成されている場合、絶縁性基板1上に駆動回路13や検出回路14をモノリシックに形成することができないため、駆動回路LSIや検出回路LSIを別途準備して実装する必要がある。

【0122】

この場合、上記LSIをキャリアテープに一旦マウントしてから接続するTAB (Tape Automated Bonding) 実装方式や、絶縁性基板1上に直接マウントするCOG (Chip On Glass) 実装方式を用いることで、絶縁性基板1の周辺領域に駆動回路LSIや検出回路LSIを設置することができる。なお、製造工程の簡略化および周辺回路との接続の簡素化を図ることができるため、COG実装方式の方が好ましい。

【0123】

なお、絶縁性基板 1 がガラス基板であっても、TFT 9 が p-Si や連続粒界結晶シリコン (CG-Si : Continuous Grain Silicon) を用いて形成されている場合、駆動回路 13 や検出回路 14 も、p-Si または CG-Si により形成すると、図 5 に示すように絶縁性基板 1 上に駆動回路 13 や検出回路 14 を直接モノリシックに、即ち、TFT 9 と同一プロセスで形成することができる。これは、p-Si 膜や CG-Si 膜は、a-Si 膜と比較すると、移動度に優れており、かつ、600℃以下の低いプロセス温度で形成が可能であるからである。また、このとき、各種信号の受け渡しは、FPC (flexible printed circuit) 17 により行われる。

【0124】

これにより、駆動回路 LSI や検出回路 LSI を後から別途設ける必要がなくなり、製造コストの削減および実装工程の簡略化を図ることができる。また、駆動回路 13 や検出回路 14 を、絶縁性基板 1 上における検出画素配列領域 18 の周辺部の僅かな領域に作り込むことができる。従って、TAB 実装方式や、COG 実装方式により駆動回路 LSI や検出回路 LSI を接続する場合と比較すると、絶縁性基板 1 の小額縁化を図ることができ、これにより、指紋センサの小型化を図ることができる。

【0125】

なお、図 6 に示すように、TFT 9 の上部に遮光膜 60 を形成してもかまわない。この遮光膜 60 としては、各種金属や、黒色樹脂材料を用いて形成する。このように、TFT 9 の上層に遮光膜 60 を形成することにより、指紋センサの上面から TFT 9 に外部からの光が入射することを防止することができる。従って、光の入射による TFT 9 の誤動作を防止することができる。

【0126】

また、遮光膜 60 が配されていないとすると、特に、TFT 9 が逆スタガ構造の場合、チャネル層 5 に光が入射したとき、チャネル層 5 内に不要なキャリアが誘起されることとなり、ON/OFF 特性が劣化する。しかしながら、TFT 9 の上層に遮光膜 60 を形成することにより、このような ON/OFF 特性の劣化を防止することができる。このように、遮光膜 60 を形成することにより、周囲

の光の影響を低減することができ、従って、TFT9の誤動作や、ON/OFF特性の劣化を防止することができる。

【0127】

また、層間絶縁膜10の材料として、遮光性を有する樹脂を用いてもかまわない。遮光性を有する樹脂としては、樹脂中にカーボン系黒色顔料を分散させていることが好ましい。これにより、絶縁性と遮光性を兼ね備えた層間絶縁膜10を配することができ、周囲の光の影響を低減することができ、従って、TFT9の誤動作や、ON/OFF特性の劣化を防止することができる。

【0128】

さらに、検出電極11の材料として、例えば、AlやMo等の金属を用いることにより、検出電極11が遮光性を有していてもかまわない。これにより、周囲の光の影響を低減することができ、従って、TFT9の誤動作や、ON/OFF特性の劣化を防止することができる。また、別途遮光膜60を設ける必要がなく指紋センサの構造の簡略化を図ることができる。

【0129】

また、検出電極11は、信号線としてのデータ電極3および走査線としてのゲート電極2の少なくともいずれか一方と重なるように配されていてもかまわない。例えば、検出電極11が、データ電極3およびゲート電極2の一部と重なるように配されている例を図8に示す。これにより、図2に示すような、データ電極3にもゲート電極2にも重ならないように配されている検出電極11と比較すると、検出電極11は大きくなる。このように、検出電極11がデータ電極3にもゲート電極2にも重ならないように配されている場合、1検出画素あたりに検出電極11が占める面積の割合（以下、検出電極11の充填率と称する）は約70%であるのに対し、検出電極11がデータ電極3およびゲート電極2の一部と重なるように配されている場合、検出電極11の充填率は80%以上と増大する。従って、上層絶縁膜16の容量Cyの向上を図ることができる。これにより、指紋センサの信頼性の向上を図ることができる。

【0130】

さらに、検出電極11は、TFT9と重なるように配されていてもかまわない。

。これによっても、検出電極 1 1 の充填率は増大し、さらに高感度の指紋センサを提供することができる。また、この場合、検出電極 1 1 は、その下層に配されている T F T 9 の電氣的シールドの役割も果たす。このため、T F T 9 の誤動作を防止することができる。

【 0 1 3 1 】

〔実施の形態 2〕

本発明の実施の他の形態について図 9 ないし図 1 1 に基づいて説明すれば、以下の通りである。なお、実施の形態 1 における構成要素と同等の機能を有する構成要素については、同一の符号を付記してその説明を省略する。

【 0 1 3 2 】

本実施の形態に係る半導体装置は、図 9 に示すように、実施の形態 1 と同様、ゲート電極 2、データ電極 3、ゲート絶縁膜 4、チャネル層 5、コンタクト層 6、接続電極 7、絶縁保護膜 8、層間絶縁膜 1 0 および検出電極 1 1 を有するアクティブマトリクス基板 1 5 上に、上層絶縁膜 1 6 が形成されている。またアクティブマトリクス基板 1 5 上には、他に、補助容量電極 2 1 が配されている。

【 0 1 3 3 】

補助容量電極 2 1 やゲート絶縁膜 4、接続電極 7 等で以て補助容量（容量）2 0 が構成されている。

【 0 1 3 4 】

ゲート絶縁膜 4 は、ゲート電極 2 および補助容量電極 2 1 を覆うように設けられており、ゲート電極 2 上に位置する部位が T F T 9 におけるゲート絶縁膜として作用し、補助容量電極 2 1 上に位置する部位は補助容量 2 0 における誘電体層として作用する。また、接続電極 7 は、図 1 0 に示すように、T F T 9 と補助容量 2 0 とをつなぐように設けられている。即ち、補助容量 2 0 は、ゲート電極 2 と同一層に形成された補助容量電極 2 1 と接続電極 7 との重畳領域によって形成されている。

【 0 1 3 5 】

また、コンタクトホール 1 2 は、接続電極 7 において、補助容量 2 0 を介して補助容量電極 2 1 と対向している領域上に設けられる。

【 0 1 3 6 】

補助容量電極 2 1 は、絶縁性基板 1 上に、T a や A l や I T O 等の導電膜をスパッタ蒸着により厚さ 1 0 0 ～ 3 0 0 n m に成膜した後、所望の形状にパターンニングすることにより、ゲート電極 2 とともに形成される。この後の製造工程は、実施の形態 1 と同様である。

【 0 1 3 7 】

ここで、検出電極 1 1 と補助容量電極 2 1 との間の容量である補助容量 2 0 を C_{xx} とし、上層絶縁膜 1 6 の容量を C_y とし、指の表面と凹凸パターン検出素子との間の空気層の容量を C_z とした場合、指紋採取時にデータ電極 3 より検出される容量値 C_{out} は、次式 (5)

$$C_{out} = C_{xx} + C_y C_z / (C_y + C_z) \quad \dots (5)$$

で表される。

【 0 1 3 8 】

補助容量電極 2 1 が無い場合、検出電極 1 1 や接続電極 7 に発生する寄生容量 C_x は、周辺の電位に電荷状態が左右されやすいため、不安定になりやすい。しかしながら、補助容量電極 2 1 を設けることにより、検出電極 1 1 と補助容量電極 2 1 との間に電荷を保持することができる補助容量 2 0 を設けることができる。従って、補助容量電極 2 1 をある一定の電位に固定することにより、補助容量 2 0 を定常状態に安定させることができる。これにより、指紋の検出動作の安定化を図ることができる。

【 0 1 3 9 】

なお、補助容量電極 2 1 を設けている場合、以下のような電圧検出型の検出動作をすることができる。

【 0 1 4 0 】

例えば、指紋を検出する場合、図 1 1 に示すように、人体 2 2 と補助容量電極 2 1 との間にバイアス電圧を印可する。このとき、人体 2 2 は V (V) とし、補助容量電極 2 1 は接地する。このとき、データ電極 3 より検出される電位 V_{out} は、次式 (6)

$$V_{out} = V C_y C_z / (C_y C_z + C_{xx} (C_y + C_z)) \quad \dots (6)$$

で表される。ここで、電位 V_{out} が最大値をとるのは $C_z \rightarrow \infty$ の（指の表面が上層絶縁膜 1 6 に接している）ときであり、このときの電位 $V_{out(max)}$ は、次式（7）

$$V_{out(max)} = V_{Cy} / (C_{xx} + C_y) \quad \dots (7)$$

で表される。また、電位 V_{out} が最小値をとるのは $C_z \rightarrow 0$ の（指の表面が上層絶縁膜 1 6 上にない）ときであり、このときの電位 $V_{out(min)}$ は、次式（8）

$$V_{out(min)} = 0 \quad \dots (8)$$

で表される。

【0 1 4 1】

このような V_{out} をデータ電極 3 を介して検出することにより、指紋画像を得ることができる。

【0 1 4 2】

なお、人体 2 2 と補助容量電極 2 1 との間のバイアス電圧は、補助容量電極 2 1 を V (V) とし、人体 2 2 を接地としても、また、人体 2 2 と補助容量電極 2 1 との間で、周期的に極性を反転させて印可してもかまわない。また、人体 2 2 と補助容量電極 2 1 との間に、高周波や低周波を印可してもかまわない。

【0 1 4 3】

また、補助容量 2 0 は、一方の電極を検出電極 1 1 としたが、検出電極 1 1 と同電位にある電極を用いてもかまわない。このように、電荷を保持することができる補助容量 2 0 を設けることにより、補助容量電極 2 1 をある一定の電位に固定することができ、補助容量 2 0 を定常状態に安定させることができる。従って、指紋センサにおける指紋画像の検出動作の安定化を図ることができる。

【0 1 4 4】

【発明の効果】

以上のように、本発明の凹凸パターン検出素子は、絶縁膜における検出電極の形成面は平坦である構成である。

【0 1 4 5】

これにより、絶縁膜上に形成される保護膜もまた平坦に成膜することができる。従って、保護膜において、レジストを塗布してエッチバックを行う工程や、あ

るいは、CMP工程等の平坦化工程が必要ないことにより、保護膜の材料が制限されることがない。この結果、凹凸パターン検出素子の検出感度を向上させるための物性値を備えた材料や耐汚染性を備えた材料等付加価値を有する他の機能性保護膜を保護膜として幅広く利用できるといった効果を奏する。

【0146】

本発明の凹凸パターン検出素子は、絶縁膜は、成膜時に検出電極の形成面が平坦となる構成である。

【0147】

これにより、保護膜だけでなく、絶縁膜においても、表面段差を平坦化する工程、例えば、レジストを塗布してエッチバックを行う工程や、あるいは、CMP工程は必要ない。従って、凹凸パターン検出素子の製造工程の簡略化を図ることができるといった効果を奏する。

【0148】

本発明の凹凸パターン検出素子は、絶縁膜が、有機物からなる構成である。

【0149】

これにより、絶縁膜はスピナー等を用いた塗布法により成膜することができる。この結果、平坦な絶縁膜を得ることができ、保護膜を平坦化する工程は必要ない。従って、製造工程の増加や保護膜の材料が限定されることを伴うことなく、凹凸パターン検出素子の表面を平坦化することができるといった効果を奏する。

【0150】

本発明の凹凸パターン検出素子は、絶縁膜が、感光性を有する構成である。

【0151】

これにより、フォトリソグラフィ法によって、絶縁膜に検出電極を貫通させるための開口部を簡易に形成することができるといった効果を奏する。

【0152】

本発明の凹凸パターン検出素子は、絶縁膜の厚さが、 $1\mu\text{m}$ 以上、かつ、 $5\mu\text{m}$ 以下である構成である。

【0153】

これにより、絶縁膜の表面段差をなくし、凹凸パターン検出素子の表面を平坦

にすることができる。また、大面積基板に対しても、均一な厚さの絶縁膜を形成することができる。従って、大面積基板から凹凸パターン検出素子を多面取りしても、凹凸パターン検出素子の信頼性の低下を防止することができるといった効果を奏する。

【0154】

本発明の凹凸パターン検出素子は、検出電極が、走査線および信号線の少なくともいずれか一方と重なるように配されている構成である。

【0155】

これにより、検出電極を大きく形成することができる。このため、凹凸パターン検出素子の基板上における検出電極の充填率も増大する。また、例えば、絶縁膜上に検出電極を覆うように保護膜を設ける場合、検出電極の大きさとその上に配されている保護膜の容量値とは比例する。従って、凹凸パターン検出素子の感度は高くなるといった効果を奏する。

【0156】

本発明の凹凸パターン検出素子は、検出電極が、スイッチング素子と重なるように配されている構成である。

【0157】

これにより、検出電極の充填率の向上を図ることができ、さらに、高感度の凹凸パターン検出素子を提供することができる。また、検出電極が、その下層に配されているスイッチング素子の電氣的シールドの役割を果たす。このため、スイッチング素子の誤動作を防止することができるといった効果を奏する。

【0158】

本発明の凹凸パターン検出素子は、スイッチング素子上に、遮光膜が配されている構成である。

【0159】

これにより、光の入射によるスイッチング素子の誤動作を防止することができ、ON/OFF特性の劣化を防止することができるといった効果を奏する。

【0160】

本発明の凹凸パターン検出素子は、検出電極が遮光性を有する構成である。

【 0 1 6 1 】

これにより、スイッチング素子への周囲の光の影響を低減することができる。従って、スイッチング素子の誤動作や、ON/OFF特性の劣化を防止することができる。また、検出電極が遮光膜の機能を兼ね備えることにより、別途遮光膜を設ける必要がなく、凹凸パターン検出素子の構造の簡略化を図ることができるといった効果を奏する。

【 0 1 6 2 】

本発明の凹凸パターン検出素子は、絶縁膜が、遮光性を有する構成である。

【 0 1 6 3 】

これにより、スイッチング素子への周囲の環境光の影響を低減することができる。従って、スイッチング素子の誤動作や、ON/OFF特性の劣化を防止することができる。また、絶縁膜が遮光膜の機能を兼ね備えることにより、別途遮光膜を設ける必要がなく、凹凸パターン検出素子の構造の簡略化を図ることができるといった効果を奏する。

【 0 1 6 4 】

本発明の凹凸パターン検出素子は、検出電極と容量を形成するための補助容量電極を備えている構成である。

【 0 1 6 5 】

これにより、補助容量電極をある一定の電位に固定することで、容量を定常状態に安定させることができ、凹凸パターン検出素子における凹凸パターンの検出動作の安定化を図ることができるといった効果を奏する。

【 0 1 6 6 】

本発明の凹凸パターン検出素子は、検出電極または該検出電極と同電位にある電極を一方の電極とする補助容量を、絶縁膜の下層に備えている構成である。

【 0 1 6 7 】

これにより、補助容量を設けることができる。従って、凹凸パターン検出素子における凹凸パターンの検出動作の安定化を図ることができるといった効果を奏する。

【 0 1 6 8 】

本発明の凹凸パターン検出素子は、基板がガラスからなるガラス基板である構成である。

【 0 1 6 9 】

これにより、凹凸パターン検出素子の基板として安価なガラス基板を用いることができる。また、ガラス基板は、大面積基板を容易に作製することができ、このため、1枚の大面積基板から多数の凹凸パターン検出素子を形成することができる。従って、安価な凹凸パターン検出素子を提供することができるといった効果を奏する。

【 0 1 7 0 】

本発明の凹凸パターン検出素子は、走査線に駆動信号を入力する駆動回路と、信号線から信号を検出するための検出回路とのうち少なくとも一方が、ガラス基板上に直接実装されている構成である。

【 0 1 7 1 】

これにより、製造工程の簡略化および周辺回路との接続の簡素化を図ることができるといった効果を奏する。

【 0 1 7 2 】

本発明の凹凸パターン検出素子は、走査線に駆動信号を入力する駆動回路と、信号線から信号を検出するための検出回路とのうち少なくとも一方が、ガラス基板上にモノリシックに形成されている構成である。

【 0 1 7 3 】

これにより、駆動回路や検出回路を、凹凸パターン検出素子におけるスイッチング素子と同一プロセスで形成することができる。従って、製造コストの削減および実装工程の簡略化を図ることができる。また、駆動回路や検出回路を、ガラス基板上における検出画素配列領域の周辺部の僅かな領域に作り込むことができる。従って、ガラス基板の小額縁化を図ることができ、これにより、凹凸パターン検出素子の小型化を図ることができるといった効果を奏する。

【 0 1 7 4 】

本発明の凹凸パターン検出素子は、駆動回路および検出回路は、ポリシリコンまたは連続粒界結晶シリコンからなる構成である。

【0175】

これにより、600℃以下の低いプロセス温度で、ガラス基板上に駆動回路および検出回路を形成することができるといった効果を奏する。

【0176】

本発明の凹凸パターン検出素子は、保護膜は、比誘電率が10以上の誘電体膜からなる構成である。具体的には、保護膜が、 Ta_2O_5 、 TiO_2 、 $SrTiO_3$ 、 $BaTiO_3$ 、 $Ba_xSr_{1-x}TiO_3$ のいずれかを含む構成である。

【0177】

これにより、保護膜の容量値を大きくすることができる。従って、高感度の凹凸パターン検出素子を提供することができるといった効果を奏する。

【0178】

本発明の凹凸パターン検出素子は、保護膜が、フッ素樹脂からなる構成である。

【0179】

これにより、凹凸パターン検出素子の表面となる保護膜の耐汚染性が向上し、凹凸パターン検出素子の信頼性の向上を図ることができるといった効果を奏する。

【0180】

本発明の凹凸パターン検出素子は、保護膜が、乾式転写法により形成される構成である。

【0181】

これにより、保護膜としてのフッ素樹脂を簡便に形成することができるといった効果を奏する。

【図面の簡単な説明】

【図1】

本発明の実施の一形態に係る凹凸パターン検出素子の要部の構造を示す断面図である。

【図2】

図1に示す凹凸パターン検出素子の要部の構造を示す平面図である。

【図 3】

検出される容量値を示す説明図である。

【図 4】

(a) は、凸形状の段差がある場合の摩擦物体への影響を示す説明図であり、
(b) は、凹形状の段差がある場合の摩擦物体への影響を示す説明図である。

【図 5】

図 1 に示す凹凸パターン検出素子において、駆動回路および検出回路を絶縁性基板上にモノリシック形成した場合の構成を示す斜視図である。

【図 6】

図 1 に示す凹凸パターン検出素子に遮光膜を追加した場合の構成を示す断面図である。

【図 7】

(a) ないし (d) は、上層絶縁膜を成膜する工程を示す工程フロー図である。

【図 8】

図 1 に示す凹凸パターン検出素子の検出電極が、データ電極およびゲート電極の一部に重なるように配されている場合の構成を示す平面図である。

【図 9】

本発明の実施の他の形態に係る凹凸パターン検出素子の要部の構造を示す断面図である。

【図 10】

図 9 に示す凹凸パターン検出素子の要部の構造を示す平面図である。

【図 11】

検出される容量値を示す説明図である。

【図 12】

従来の指紋センサの要部の構造を示す断面図である。

【図 13】

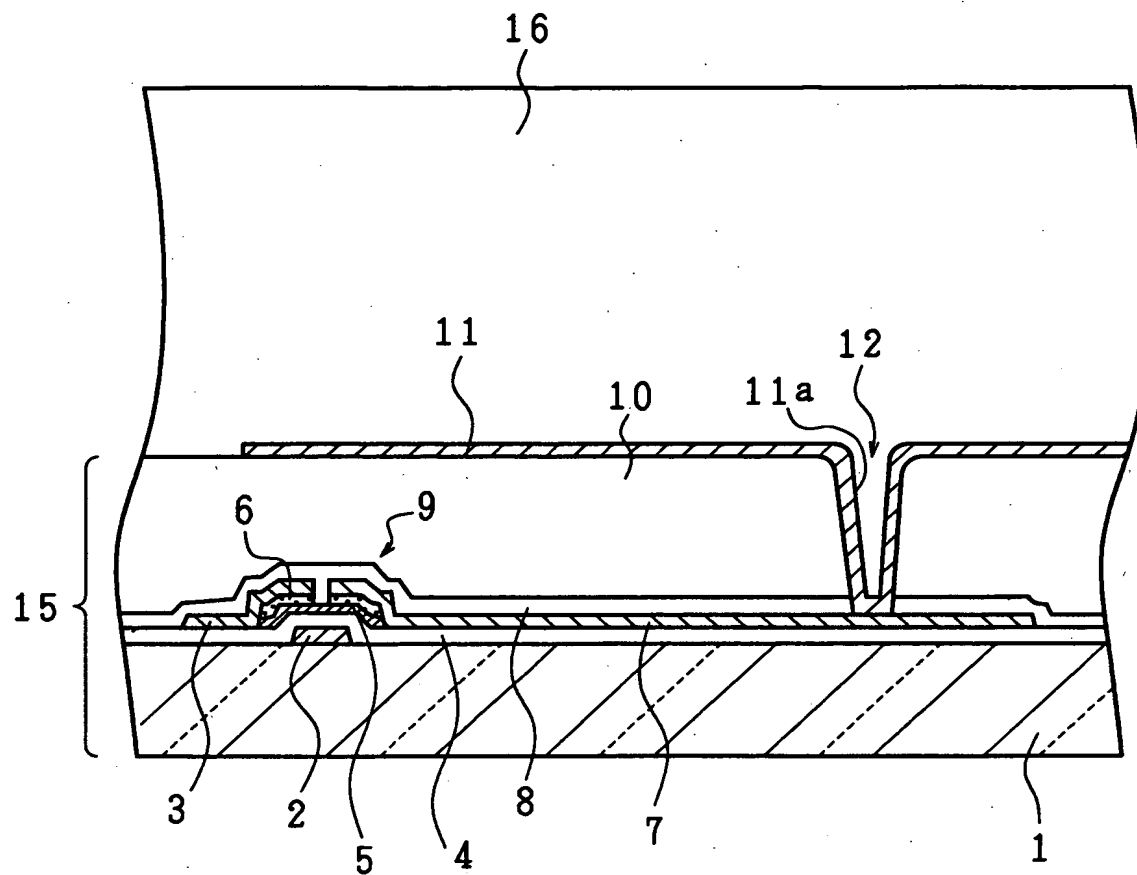
図 12 に示す指紋センサの要部の構造を示す平面図である。

【符号の説明】

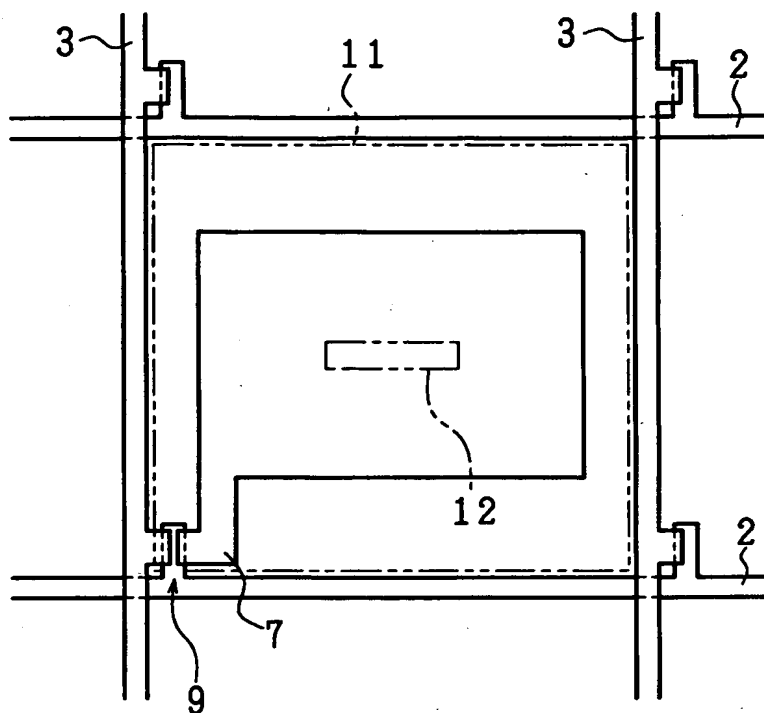
- 1 絶縁性基板（基板）
- 2 ゲート電極（走査線）
- 3 データ電極（信号線）
- 4 ゲート絶縁膜
- 5 チャネル層
- 6 コンタクト層
- 7 接続電極
- 8 絶縁保護膜
- 9 T F T （スイッチング素子）
- 1 0 層間絶縁膜（絶縁膜）
- 1 1 検出電極
- 1 2 コンタクトホール
- 1 3 駆動回路
- 1 4 検出回路
- 1 5 アクティブマトリクス基板
- 1 6 上層絶縁膜（保護膜）
- 1 8 検出画素配列領域
- 2 0 補助容量（容量）
- 2 1 補助容量電極
- 6 0 遮光膜

【書類名】 図面

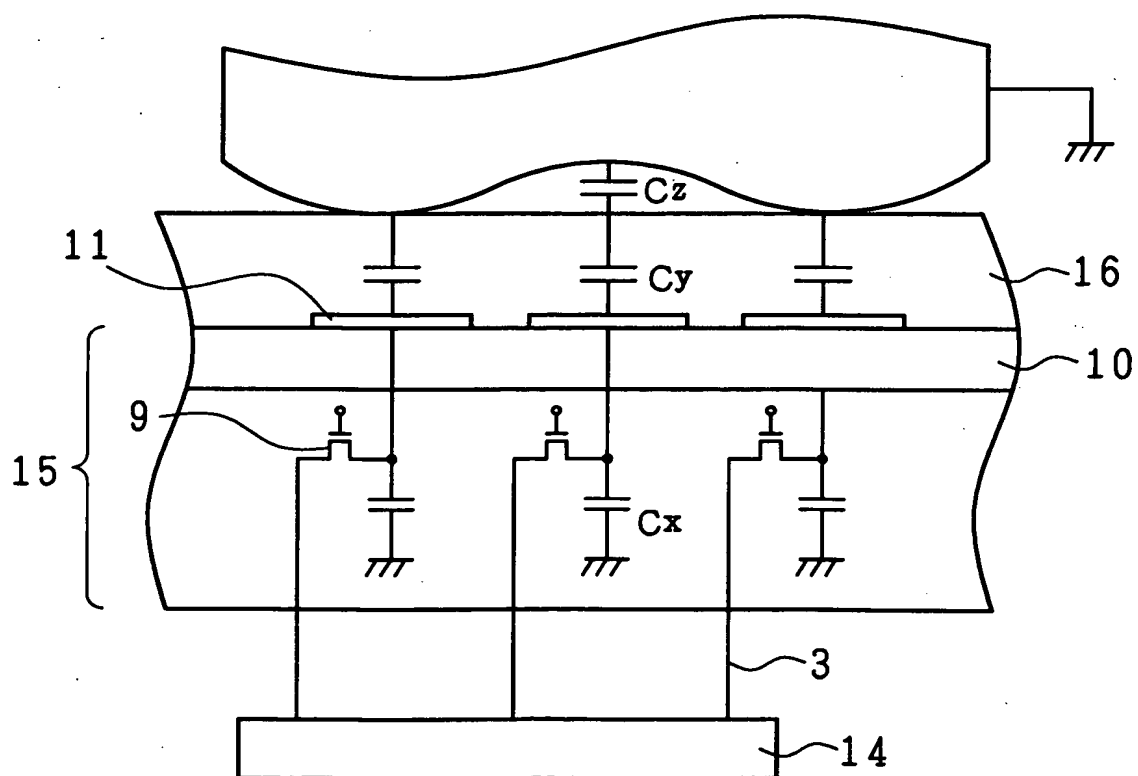
【図 1】



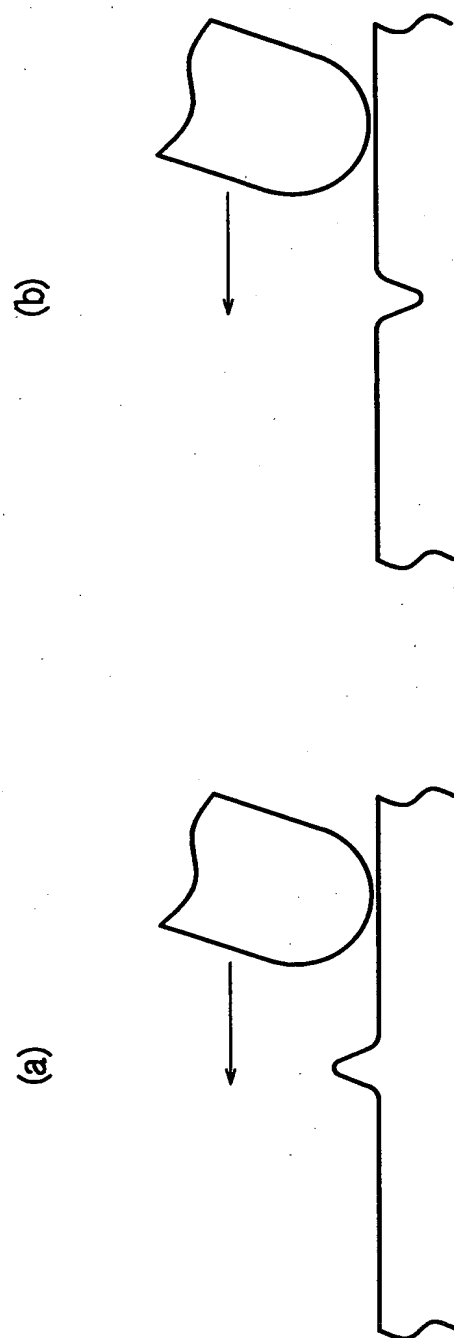
【図 2】



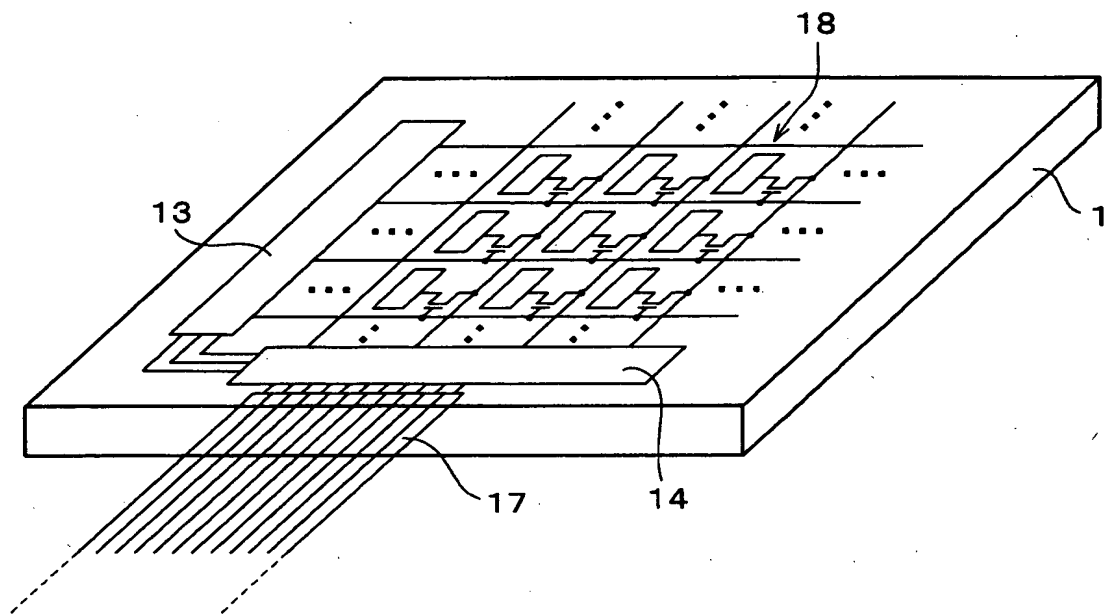
【図 3】



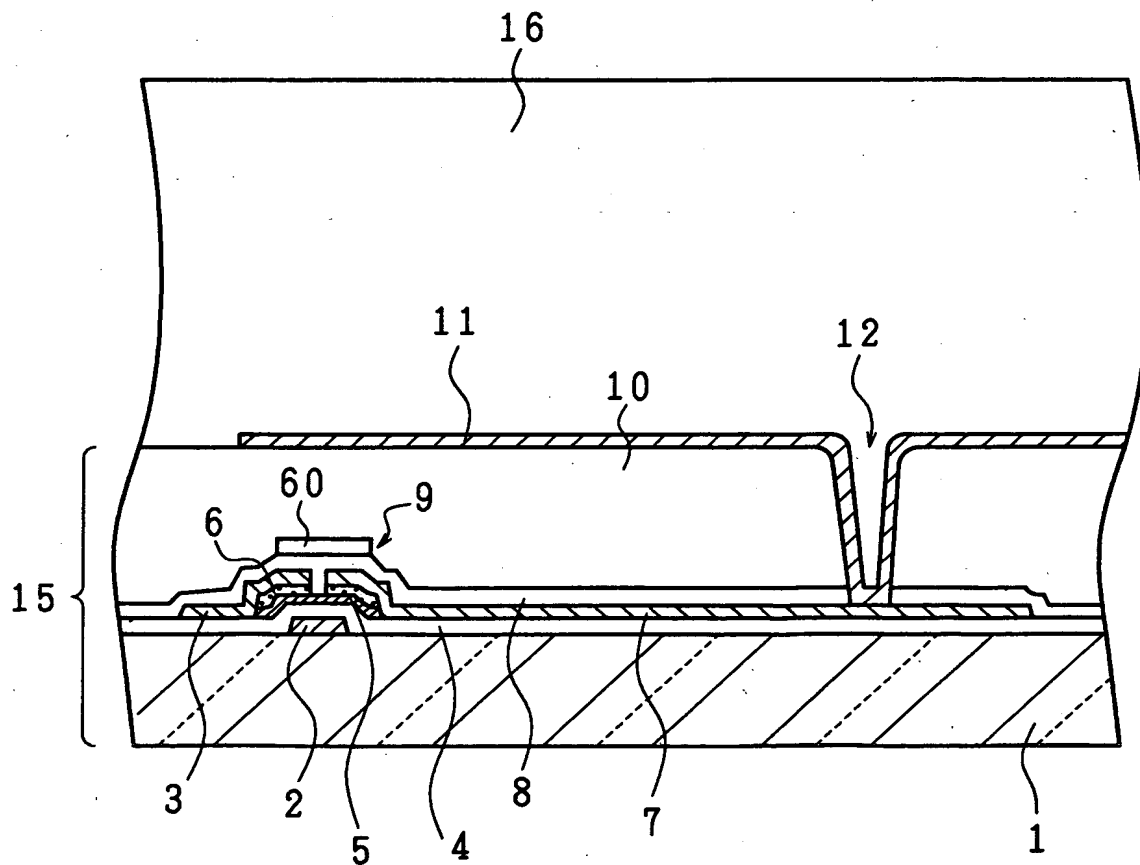
【図4】



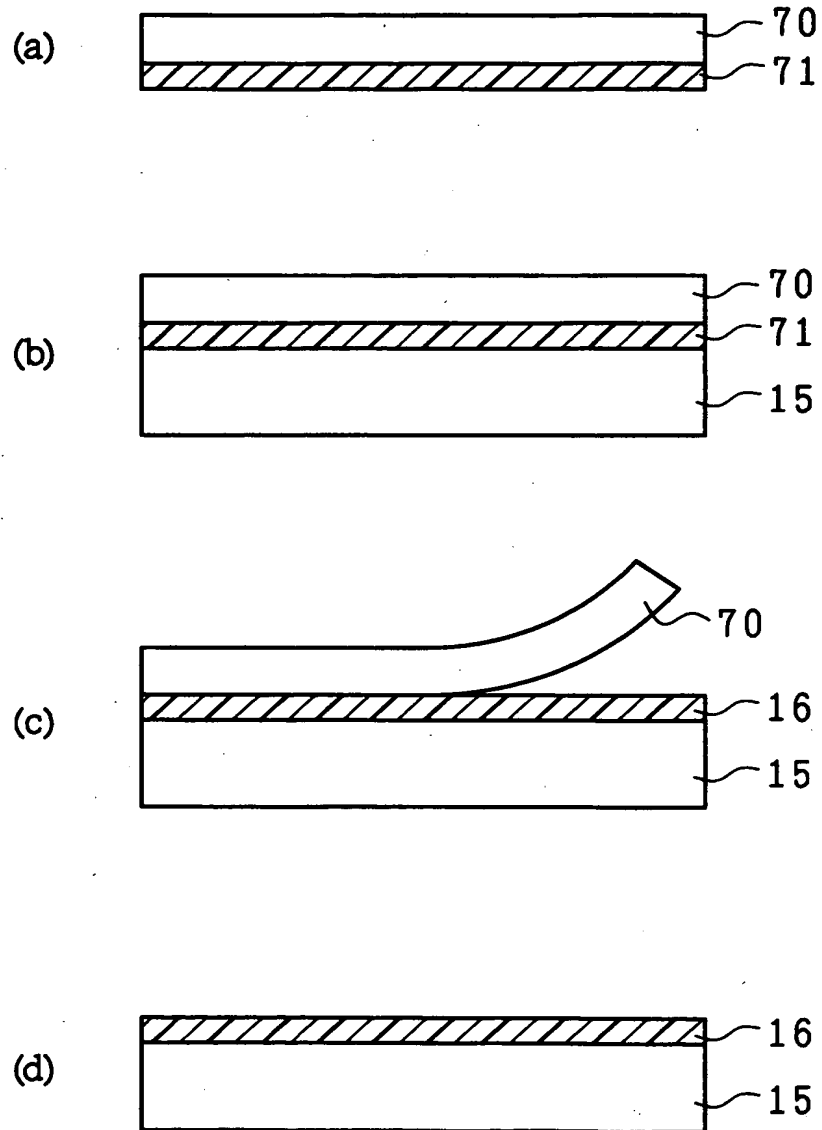
【図 5】



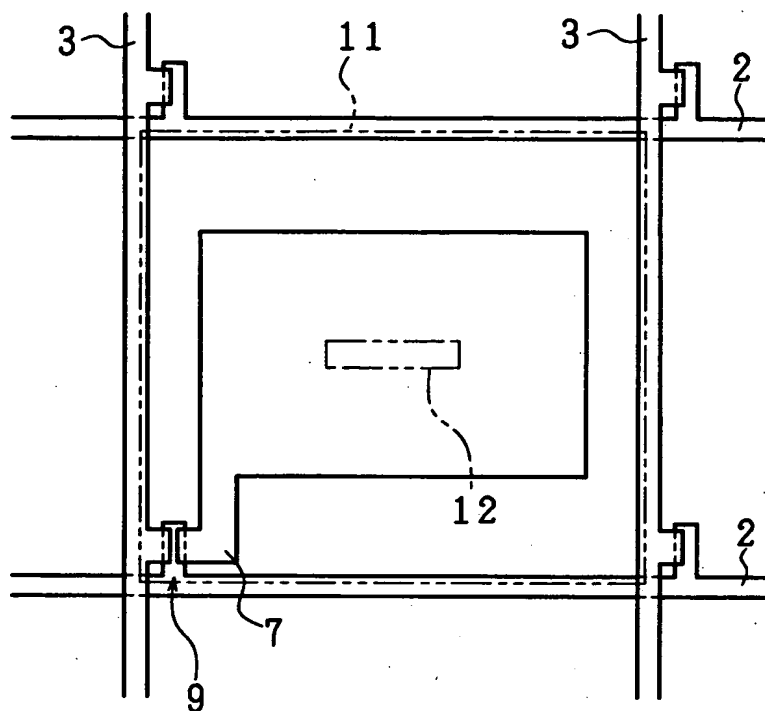
【図 6】



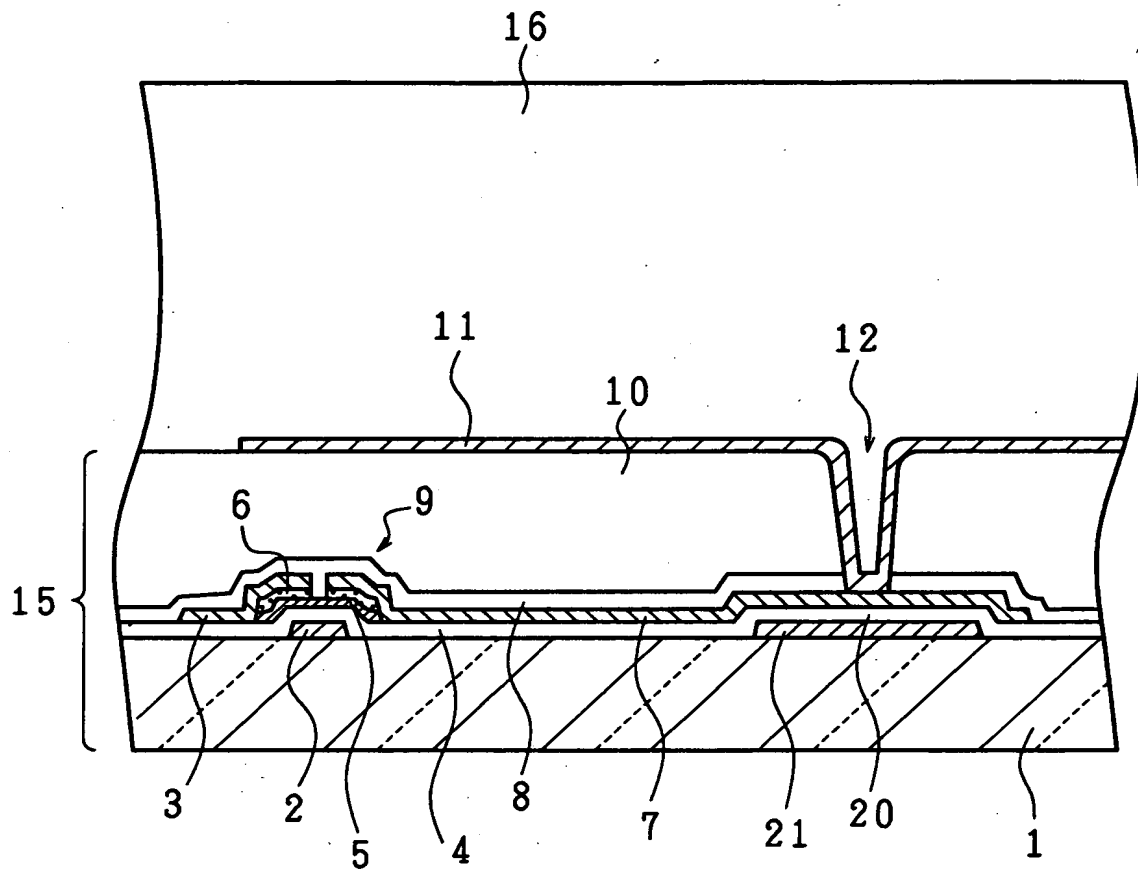
【図 7】



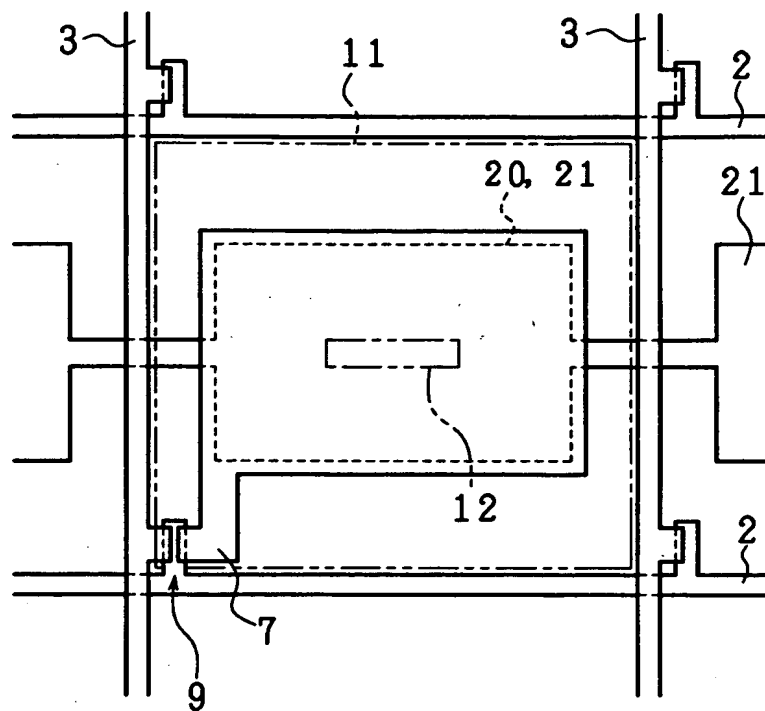
【図 8】



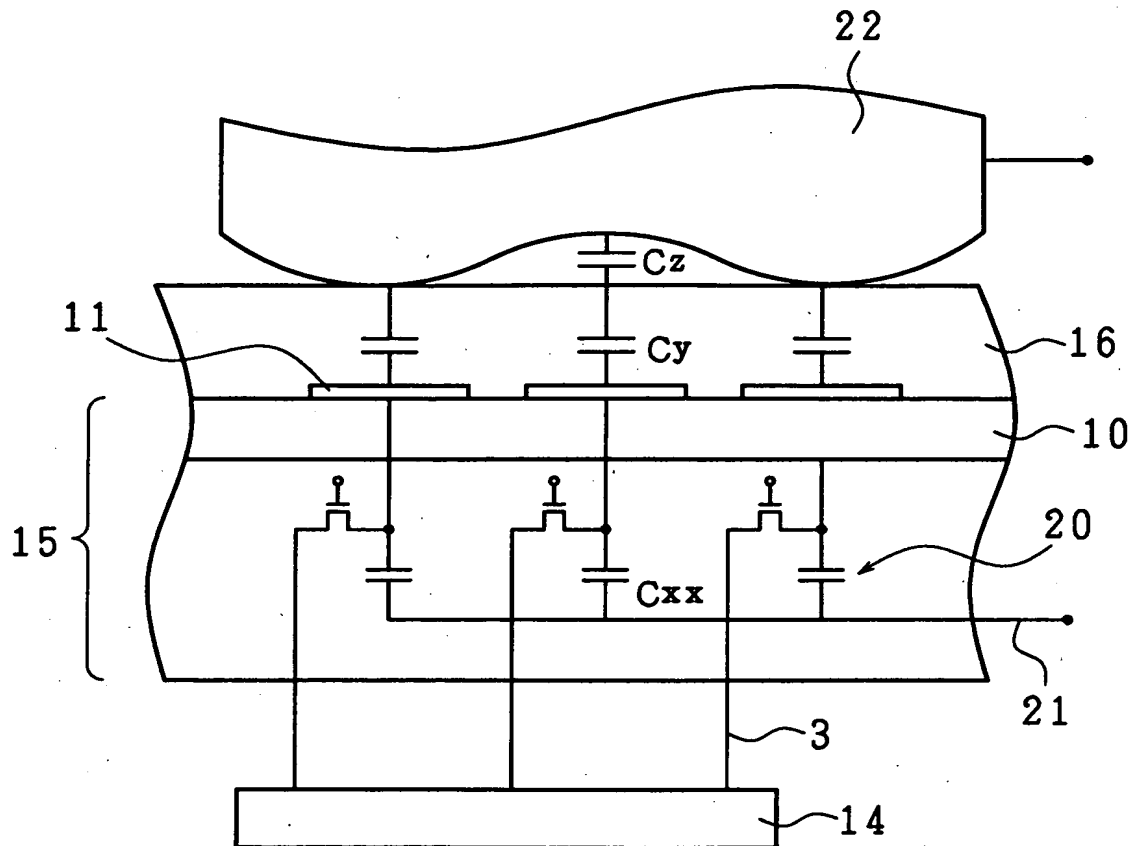
【図9】



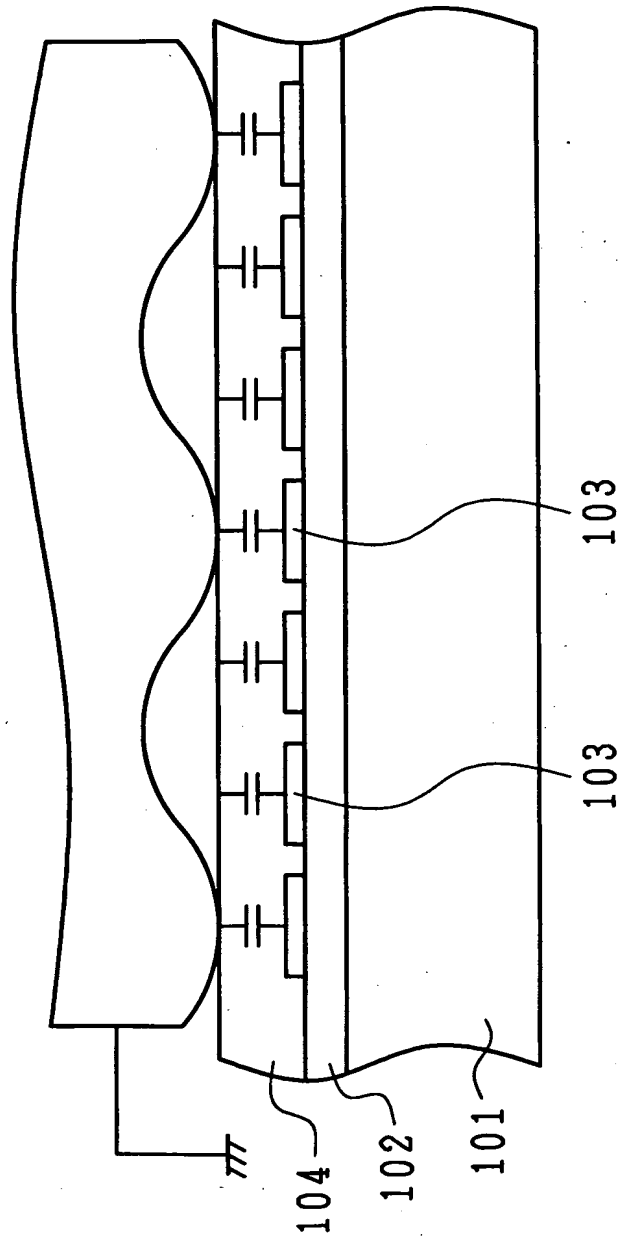
【図 10】



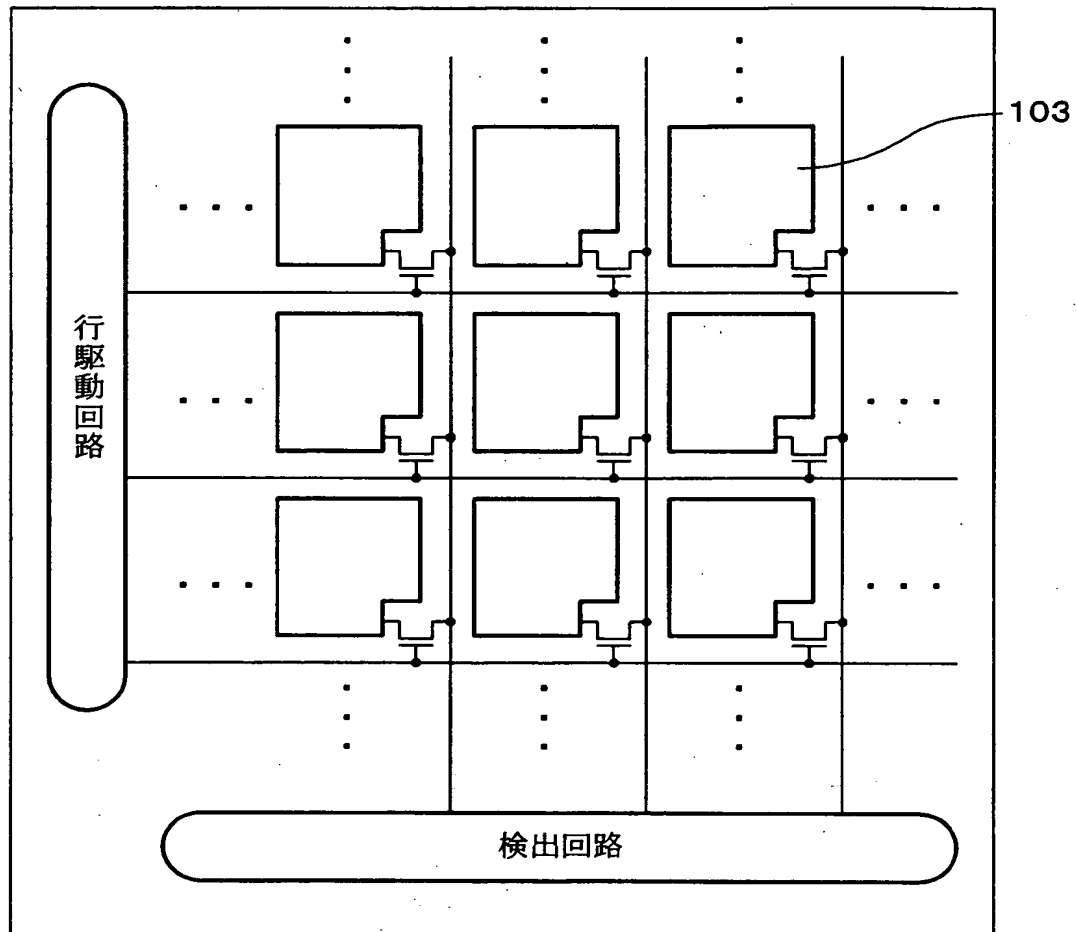
【図 11】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 製造工程の増加や保護膜の材料が限定されることを伴うことなく、表面を平坦化することができる凹凸パターン検出素子を提供する。

【解決手段】 絶縁性基板 1 上には、格子状に形成されたゲート電極 2 およびデータ電極 3 に接続され、格子毎に設けられた T F T 9 と、T F T 9 上に形成され、コンタクトホール 1 2 が貫通した層間絶縁膜 1 0 と、層間絶縁膜 1 0 上に配され、コンタクトホール 1 2 を貫通する検出電極 1 1 とが形成されている。層間絶縁膜 1 0 上には、検出電極 1 1 を覆うように上層絶縁膜 1 6 が形成されている。層間絶縁膜 1 0 において、検出電極 1 1 が形成される面は平坦となっている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社